

#2/Priority  
DKing  
1/30/02

PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Takao ARAI

Serial No. (unknown)

Filed herewith

SEMICONDUCTOR DEVICE INCLUDING A DEPLETION TYPE  
LATERAL MOSFET AND METHOD OF FORMING THE SAME



CLAIM FOR FOREIGN PRIORITY UNDER 35 U.S.C. 119  
AND SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

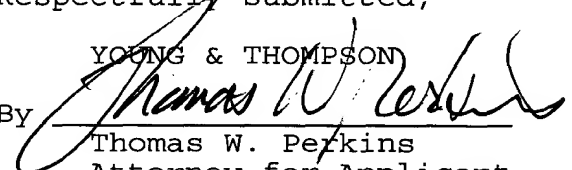
Attached hereto is a certified copy of applicant's  
corresponding patent application filed in Japan under  
2000-297892, filed on 29 September 2000.

Applicant herewith claims the benefit of the  
priority filing date of the above-identified application for  
the above-entitled U.S. application under the provisions of 35  
U.S.C. 119.

Respectfully submitted,

YOUNG & THOMPSON

By

  
Thomas W. Perkins  
Attorney for Applicant  
Customer No. 000466  
Registration No. 33,027  
745 South 23rd Street  
Arlington, VA 22202  
703/ 521-2297

September 27, 2001

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2000年 9月29日

出 願 番 号  
Application Number:

特願2000-297892

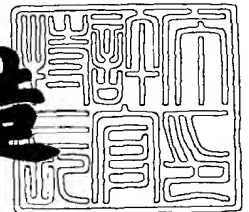
出 願 人  
Applicant (s):

日本電気株式会社

2001年 3月16日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3019072

【書類名】 特許願

【整理番号】 72310233

【提出日】 平成12年 9月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/06

【発明の名称】 半導体装置及びその製造方法

【発明者】

    【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

    【氏名】 新井 高雄

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100081433

    【弁理士】

    【氏名又は名称】 鈴木 章夫

【手数料の表示】

    【予納台帳番号】 007009

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板に設けられた第 1 導電型のウェル内にデプレッション型ラテラル MOSFET を有する半導体装置において、前記デプレッション型ラテラル MOSFET のチャンネル部における前記ウェルの主面は、前記半導体基板の表面よりも凹んだ面に形成されていることを特徴とする半導体装置。

【請求項 2】 前記凹んだ面の領域の前記ウェル内に前記デプレッション型ラテラル MOSFET のしきい値調整用の第 2 導電型の不純物拡散層が形成されるとともに、前記凹んだ面上にゲート絶縁膜及びゲート電極が形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 半導体基板に第 1 導電型のウェルを形成する工程と、前記ウェル内にデプレッション型ラテラル MOSFET を形成する工程を含む半導体装置の製造方法であって、前記ウェルの前記デプレッション型ラテラル MOSFET の形成領域にしきい値電圧調整用の第 2 導電型の不純物拡散層を形成する工程と、前記第 2 導電型の不純物拡散層の表面を酸化して酸化膜を形成し、前記ウェルと前記不純物拡散層とで形成される p n 接合深さを浅くさせる工程と、前記酸化膜を除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 4】 前記ウェル形成用の不純物と、前記しきい値電圧調整用の不純物をそれぞれ半導体基板にイオン注入し、その後、熱処理により、前記各不純物を活性化して前記ウェル及び前記不純物拡散層を形成することを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 前記不純物拡散層の表面の酸化膜は、厚さ 5 0 0 0 Å（オングストローム）以上の膜厚に形成するウエット酸化法により形成することを特徴とする請求項 3 または 4 に記載の半導体装置の製造方法。

【請求項 6】 前記不純物拡散層の表面の酸化膜は、前記半導体基板上に形成するフィールド酸化膜の形成工程と同時に行うことを特徴とする請求項 3 ないし 5 のいずれかに記載の半導体装置の製造方法。

【請求項 7】 前記ウェルの形成用の不純物が硼素、前記しきい値電圧調整

用の不純物が砒素であることを特徴とする請求項 3 ないし 6 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板に形成された縦型MOSFETと、当該半導体基板のウェル内に形成されたデプレッション型ラテラルMOSFETを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

半導体装置として、半導体基板上に形成された縦型MOSFETと、当該半導体基板に形成されたウェル内に形成されたデプレッション型ラテラルMOSFETとを備える半導体装置がある。例えば、特許第2077155号公報や特開平10-233506号公報に記載されている。この種の半導体装置について、図面を参照して説明する。図6～図8は、この種の半導体装置の従来の製造方法を工程順に示すチップ断面図である。まず、図6(a)に示すように、高不純物濃度の $N^+$ 型半導体基板22上に、低不純物濃度の $N^-$ 型エピタキシャル層23を形成し、前記 $N^-$ 型エピタキシャル層23上に酸化膜24を形成する。次いで、周知のリソグラフィ技術を用い、Pウェルの形成したい部分の酸化膜3を除去する。

【0003】

次いで、図6(b)に示すように、前記酸化膜24をマスクにして、前記 $N^-$ 型エピタキシャル層23にP型不純物として砒素をイオン注入する。そして、熱処理を行うと、Pウェル25が形成される。その後、前記酸化膜24を除去し、図示は省略するが選択的なマスクを用いた選択的なウェット酸化技術により、図6(c)に示すように、前記 $N^-$ 型エピタキシャル層23の表面に選択的に酸化膜26を形成する。この酸化膜26は、寄生MOSFETの動作抑制をさせる為に、通常形成されているものであり、フィールド酸化膜と呼ばれているものである。続いて、図6(d)に示すように、デプレッション型ラテラルMOSF

E Tを形成する前記Pウェル25の一部領域を開口したフォトレジスト27を形成し、前記フォトレジスト27をマスクにして、N型不純物として砒素又は磷をイオン注入する。この砒素又は磷はデプレッション型ラテラルMOSFETのしきい値電圧調整用の不純物である。これにより、前記Pウェル25内にデプレッション型ラテラルMOSFETのチャネル領域となるN型領域28が形成される。

#### 【0004】

その後、図7(a)に示すように、前記フォトレジスト27を除去し、表面を酸化処理してゲート酸化膜29a、29b、29cを形成する。さらに、前記ゲート酸化膜29a、29b、29c上に、N型不純物が拡散されたポリシリコンからなるゲート電極30a、30b、30cを形成する。ここで、ゲート電極30aがデプレッション型ラテラルMOSFETのゲートであり、ゲート電極30bがエンハンスメント型ラテラルMOSFETのゲートであり、ゲート電極30cが縦型MOSFETのゲートである。続いて、図7(b)に示すように、前記Pウェル25を覆うフォトレジスト31を形成し、当該フォトレジスト31とゲート電極30cをマスクにして、P型不純物として砒素をイオン注入する。そして、前記フォトレジスト31を除去した後、熱処理を行い、図7(c)に示すように、前記ゲート電極30c間にP型領域32を形成する。このP型領域32は、縦型MOSFETのボディ領域になる。

#### 【0005】

続いて、図7(d)に示すように、前記Pウェル25及びゲート電極30cを覆い、前記P型領域32の中央領域のみを開口したフォトレジスト33を形成し、当該フォトレジスト33をマスクにして、P型不純物として砒素を高濃度にイオン注入する。そして、前記フォトレジスト33を除去した後、熱処理を行い、前記P型領域32内に高濃度の $P^+$ 型領域34を形成する。この $P^+$ 型領域34は、縦型MOSFETの寄生バイポーラトランジスタの動作を抑制させるものである。さらに、前記 $P^+$ 型領域34上に選択的にフォトレジスト35を形成し、前記フォトレジスト35及びゲート電極30a、30b、30c及び前記酸化膜26をマスクにして、N型不純物として砒素をイオン注入する。そして、前

記フォトリジスト 3 5 を除去後、熱処理を行い、図 8 ( a ) に示すように、 $N^+$  型領域 3 6 a , 3 6 b , 3 6 c , 3 6 d , 3 6 e を形成する。ここで、 $N^+$  型領域 3 6 a と  $N^+$  型領域 3 6 b は、デプレッション型ラテラル MOSFET のドレインとソースになる。 $N^+$  型領域 3 6 c と  $N^+$  型領域 3 6 d は、エンハンスメント型ラテラル MOSFET のドレインとソースになる。 $N^+$  型領域 3 6 e は、縦型 MOSFET のソースになる。次いで、全面に層間絶縁膜 3 7 を形成し、その上にコンタクト領域を開口したフォトリジスト 3 8 を形成し、当該フォトリジスト 3 8 をマスクにし、ドレイン及びソース領域上の層間絶縁膜 3 7 をエッチングする。

#### 【 0 0 0 6 】

しかる上で、図 8 ( b ) に示すように、前記フォトリジスト 3 8 を除去後、全面にアルミ電極 3 9 を形成する。そして、前記アルミ電極 3 9 上に選択的にフォトリジスト 4 0 を形成し、このフォトリジスト 4 0 をマスクにして、前記アルミ電極 3 9 をエッチングし、図 8 ( c ) に示すように、個々のアルミ電極 3 9 a , 3 9 b , 3 9 c , 3 9 d , 3 9 e を形成する。その後、前記フォトリジスト 4 0 を除去し、また前記半導体基板 2 2 の裏面に裏面電極 4 1 を形成する。ここで、アルミ電極 3 9 a とアルミ電極 3 9 b は、デプレッション型ラテラル MOSFET のドレイン電極とソース電極になる。また、アルミ電極 3 9 c とアルミ電極 3 9 d は、エンハンスメント型ラテラル MOSFET のドレイン電極とソース電極になる。アルミ電極 3 9 e は、縦型 MOSFET のソース電極になる。裏面電極 4 1 は、縦型 MOSFET のドレイン電極になる。

#### 【 0 0 0 7 】

#### 【発明が解決しようとする課題】

以上説明した製造方法によって形成される従来の半導体装置は、Nチャネル MOSFET 又は Pチャネル MOSFET だけで回路を構成しなければならないという制約があるものの、縦型 MOSFET の製造工程に対して、若干の工程を追加するだけで製造すること出来るので、製造コストを低く出来るというメリットを有している。しかしながら、このような従来の半導体装置では、デプレッション型ラテラル MOSFET のしきい値電圧のばらつきが大きく、回路設計がし難

いという問題点がある。このしきい値電圧のばらつきが回路動作上許容できない場合には、しきい値電圧が大きく外れたものは特性不良になり、選別歩留まりが悪化するという問題点がある。

## 【0008】

ここで、従来のデプレッション型ラテラルMOSFETのしきい値電圧のばらつきが大きくなる理由を説明する。例えば、エンハンスメント型ラテラルMOSFETのしきい値電圧を1V、デプレッション型ラテラルMOSFETのしきい値電圧を-1Vとした場合、Pウェル25の表面濃度は、約 $1E16 \sim 1E17 \text{ cm}^{-3}$ であり、N型領域28の表面濃度は、N型領域28とPウェル25で形成されるpn接合の深さ等によって変わるが、約 $1E13 \sim 1E15 \text{ cm}^{-3}$ になる。仮に、Pウェル25の表面濃度を $1E16 \text{ cm}^{-3}$ 、N型領域28の表面濃度 $1E13 \text{ cm}^{-3}$ とすると、Pウェル25の表面の硼素不純物濃度を $1E16 \text{ cm}^{-3}$ とし、N型領域表面の砒素又は燐の不純物濃度を $1.001E16 \text{ cm}^{-3}$ としなければならなくなる。すなわち、N型領域28の濃度( $1E13 \text{ cm}^{-3}$ )は、砒素濃度( $1.001E16 \text{ cm}^{-3}$ ) - Pウェルの硼素濃度( $1E16 \text{ cm}^{-3}$ )となる。この場合、硼素濃度が1%ばらついて、例えば $1.002E16 \text{ cm}^{-3}$ になると、N型領域28の濃度は $2E13 \text{ cm}^{-3}$  (すなわち $1.002E16 - 1E16 \text{ cm}^{-3} = 0.002E16 \text{ cm}^{-3} = 2E13 \text{ cm}^{-3}$ ) となり、もとの $1E13 \text{ cm}^{-3}$ に比較して100%ばらつくことになる。

## 【0009】

しきい値電圧は、ほぼ濃度の対数と比例している為、デプレッション型ラテラルMOSFETのしきい値電圧は、エンハンスメント型ラテラルMOSFETのしきい値電圧に比べて、大幅にばらつくことになる。pn接合部から発生する空乏層がゲート酸化膜29まで到達し、これ以上延びることが出来なくなってしまう程度までpn接合を浅くすれば、pn接合部分の電荷中和が空乏層だけでは成立しなくなり、ゲート電極30aに正電荷が印加された状態で電荷中和が成立するようになる。この正電荷を蓄える電圧分だけ、デプレッション型ラテラルMOSFETのしきい値電圧が正側にシフトする。したがって、同一しきい値電圧に設定しようとした場合、pn接合が浅い程N型領域の濃度が高くなり、しきい値



電圧がばらつきにくくなる。しかしながら、前記した従来の製造方法においては、N型領域28の形成後に、縦型MOSFETのP型領域32とP<sup>+</sup>型領域34を形成する為の熱処理があり、この熱処理量は、1140℃、数十分程度の比較的大きなものであるため、N型領域28が深く拡散されてしまい、pn接合を浅くするのが困難であり、前記したようなしきい値電圧のばらつきを抑制することが難しいという問題が生じている。

## 【0010】

本発明の主な目的は、ウェル内に形成されたデプレッション型ラテラルMOSFETを有する半導体装置において、当該デプレッション型ラテラルMOSFETのしきい値電圧ばらつきの小さい半導体装置及びその製造方法を提供することにある。

## 【0011】

## 【課題を解決するための手段】

本発明は、半導体基板に設けられた第1導電型のウェル内にデプレッション型ラテラルMOSFETを有する半導体装置において、前記デプレッション型ラテラルMOSFETのチャネル部における前記ウェルの主面は、前記半導体基板の表面よりも凹んだ面に形成されていることを特徴とする。ここで、前記凹んだ面の領域の前記ウェル内に前記デプレッション型ラテラルMOSFETのしきい値調整用の第2導電型の不純物拡散層が形成されるとともに、前記凹んだ面上にゲート絶縁膜及びゲート電極が形成されていることを特徴とする。

## 【0012】

また、本発明は、半導体基板に第1導電型のウェルを形成する工程と、前記ウェル内にデプレッション型ラテラルMOSFETを形成する工程を含む半導体装置の製造方法であって、前記ウェルの前記デプレッション型ラテラルMOSFETの形成領域にしきい値電圧調整用の第2導電型の不純物拡散層を形成する工程と、前記第2導電型の不純物拡散層の表面を酸化して酸化膜を形成し、前記ウェルと前記不純物拡散層とで形成されるpn接合深さを浅くさせる工程と、前記酸化膜を除去する工程とを含むことを特徴とする。

## 【0013】

本発明によれば、ウェル及びしきい値電圧調整の不純物拡散層を形成した後に、当該不純物拡散層のウェル表面に酸化膜を形成することにより、酸化膜に接するウェル表面の不純物濃度が低下し、かつ当該ウェルと不純物拡散層とで形成されるpn接合の深さが浅くなる。これにより、デプレッション型ラテラルMOSFETは、ゲート絶縁膜が形成される領域の表面が半導体基板の他の領域の表面よりも凹んだ状態のMOSFETとして形成されることになり、また同時に、デプレッション型ラテラルMOSFETのしきい値電圧のばらつきが低減されることになる。

【0014】

#### 【発明の実施の形態】

次に、添付した図面を参照しながら、本発明の実施の形態を以下に詳述する。図1は、本発明の一実施形態としての半導体装置を製造工程順に示すチップ断面図である。まず、図1(a)に示すように、シリコン等の高不純物濃度の $N^+$ 型半導体基板1上に、低不純物濃度の $N^-$ 型エピタキシャル層2を形成する。また、前記 $N^-$ 型エピタキシャル層2上に酸化膜3を形成し、周知のリソグラフィ技術を用い、後述するPウェル5の形成したい部分の酸化膜3を除去する。そして、前記酸化膜3をマスクにして、前記 $N^-$ 型エピタキシャル層2に対し注入量 $1.5 \times 10^{13} \text{ cm}^{-2}$ でP型不純物として硼素をイオン注入する。続いて、図1(b)に示すように、リソグラフィ技術を用いて、前記酸化膜3を覆い、デプレッション型ラテラルMOSFETを形成する領域を開口したフォトレジスト4を形成する。そして、前記フォトレジスト4をマスクにして、前記 $N^-$ 型エピタキシャル層2に対し注入量 $6.0 \times 10^{12} \text{ cm}^{-2}$ でN型不純物として砒素をイオン注入する。この砒素はデプレッション型ラテラルMOSFETのしきい値電圧調整用不純物である。しかる後、前記フォトレジスト4を除去し、 $1140^\circ\text{C}$ 、240分の熱処理を行うと、図1(c)に示すように、Pウェル5とデプレッション型ラテラルMOSFETのチャンネル部になるN型領域6が形成される。

【0015】

その後、前記酸化膜3を除去し、図1(d)に示すように、 $1000^\circ\text{C}$ の選択ウェット酸化技術により基板の表面に酸化膜7aと酸化膜7bを同時形成する。

前記酸化膜 7 a, 7 b の膜厚は、1  $\mu$  m である。前記酸化膜 7 a は、寄生 MOS FET の動作抑制をさせる為に、通常形成されているものであり、フィールド酸化膜と呼ばれているものである。また、酸化膜 7 b は本発明において特徴とされるものであり、前記 N 型領域 6 の表面を覆うように形成される。この結果、前記酸化膜 7 b は前記 N 型領域 6 の厚さ方向の表面側を酸化し、酸化時の偏析や酸化自体による酸化膜と半導体界面位置が移動することによって、N 型領域 6 の実質的な深さを浅くし、N 型領域 6 と P ウェル 5 とで構成される p n 接合が浅くなる。また、酸化膜 7 b に接する部分の硼素の不純物濃度は、酸化時の偏析によって薄くなっているため、後工程の熱処理後においても前記 p n 接合深さは、あまり深くない。

## 【 0 0 1 6 】

続いて、図 1 (e) に示すように、前記酸化膜 7 b を開口したフォトリソグレイ 8 を形成する。そして、前記フォトリソグレイ 8 をマスクにして、前記酸化膜 7 b のみを除去する。その後、図 2 (a) に示すように、前記フォトリソグレイ 7 を除去し、厚さ 3 0 0 Å (オングストローム) のゲート酸化膜 9 a, 9 b, 9 c を形成し、さらに前記ゲート酸化膜 9 a, 9 b, 9 c 上に、N 型不純物に拡散されたポリシリコンからなるゲート電極 1 0 a, 1 0 b, 1 0 c を形成する。ここで、ゲート電極 1 0 a はデプレッション型ラテラル MOS FET のゲートであり、ゲート電極 1 0 b はエンハンスメント型ラテラル MOS FET のゲートであり、ゲート電極 1 0 c は縦型 MOS FET のゲートである。次いで、図 2 (b) に示すように、前記 P ウェル 5 の領域を覆うフォトリソグレイ 1 1 を形成し、前記フォトリソグレイ 1 1 とゲート電極 1 0 c をマスクにして、P 型不純物としての硼素をイオン注入する。そして、図 2 (c) に示すように、前記フォトリソグレイ 1 1 を除去した後、1 1 4 0 °C、数十分の熱処理を行い、P 型領域 1 2 を形成する。この P 型領域 1 2 は、縦型 MOS FET のボディ領域になる。次いで、前記 P 型領域 1 2 の中央領域を開口したフォトリソグレイ 1 3 を形成し、前記フォトリソグレイ 1 3 をマスクにして、P 型不純物としての硼素をイオン注入する。

## 【 0 0 1 7 】

そして、図 2 (d) に示すように、前記フォトリソグレイ 1 3 を除去した後、1

000℃、数十分の熱処理を行い、 $P^+$  型領域14を形成する。この $P^+$  型領域14は、縦型MOSFETの寄生バイポーラトランジスタの動作を抑制させるものである。次いで、前記 $P^+$  領域14上にフォトレジスト15を形成し、前記フォトレジスト15及びゲート電極10a, 10b, 10c及び酸化膜7aをマスクにして、N型不純物としての砒素をイオン注入する。次いで、図3(a)に示すように、前記フォトレジスト15を除去した後、1000℃、数十分の熱処理を行い、 $N^+$  型領域16a, 16b, 16c, 16d, 16eを形成する。ここで、 $N^+$  型領域16aと $N^+$  型領域16bは、デプレッション型ラテラルMOSFETのドレインとソースになる。 $N^+$  型領域16cと $N^+$  型領域16dは、エンハンスメント型ラテラルMOSFETのドレインとソースになる。 $N^+$  型領域16eは、縦型MOSFETのソースになる。しかる上で、全面に層間絶縁膜17を形成し、その上にコンタクト領域を開口したフォトレジスト18を形成する。

#### 【0018】

そして、図3(b)に示すように、前記フォトレジスト18をマスクにし、ドレイン及びソース領域上の前記層間絶縁膜17をエッチングする。次いで、フォトレジスト18を除去した後、全面にアルミ電極19を形成する。次いで、前記アルミ電極19上にフォトレジスト20を形成し、このフォトレジスト20をマスクにして、前記アルミ電極19をエッチングし、図3(c)に示すように、個々のアルミ電極19a, 19b, 19c, 19d, 19eを形成する。また、前記フォトレジスト20を除去した後、前記 $N^+$  型シリコン基板1の裏面に裏面電極21を形成する。ここで、アルミ電極19aとアルミ電極19bは、デプレッション型ラテラルMOSFETのドレイン電極とソース電極になる。アルミ電極19cとアルミ電極19dは、エンハンスメント型ラテラルMOSFETのドレイン電極とソース電極になる。アルミ電極19eは、縦型MOSFETのソース電極になる。裏面電極21は、縦型MOSFETのドレイン電極になる。

#### 【0019】

以上の工程を経て形成した半導体装置では、エンハンスメント型ラテラルMOSFETのしきい値電圧は約1V、デプレッション型ラテラルMOSFETのし

きい値電圧は約 $-1\text{ V}$ になる。ここで、図1 (e) の工程において説明したように、デプレッション型ラテラルMOSFETの形成領域において、N型領域6の表面を酸化して酸化膜7bを形成しているので、Pウェル5とN型領域6で形成されるpn接合を浅くすることが出来る。また、その後に、図2 (a) の工程において、前記酸化膜7bを除去し、露呈されたN型領域6の表面にゲート酸化膜9aを形成し、さらにその上にゲート電極10aを形成している。そのため、デプレッション型ラテラルMOSFETのチャネル部の表面は、Pウェル5の他の領域の表面、すなわち前記半導体基板1の表面よりも凹んだ状態に形成されることになる。そして、前記したようにpn接合が浅くなると、pn接合部から発生する空乏層は、ゲート酸化膜9aまで到達し、これ以上延びることが出来なくなってしまう。この状態では、pn接合部分の電荷中和が空乏層だけでは成立しなくなり、ゲート電極10aに正電荷が印加された状態で電荷中和が成立するようになる。

#### 【0020】

そのため、その正電荷を蓄える電圧分だけ、デプレッション型ラテラルMOSFETのしきい値電圧が正側にシフトする。このシフトによって、同一しきい値電圧では、pn接合を浅くするほど、N型領域6の不純物濃度を高く出来る。このN型領域6の不純物濃度が高いほど、不純物濃度に対するしきい値電圧の変化が少なくなり、ウェハ面内のしきい値電圧ばらつきが小さくなるという効果が得られる。また、同じ理由により、N型領域6を形成する為のイオン注入量に対するしきい値電圧変化も小さくなり、イオン注入装置の注入量ばらつきによって発生する製造ロット間のしきい値電圧ばらつきが小さくなる（しきい値電圧のコントロール性が良くなる）という効果が得られる。

#### 【0021】

図4に前記実施形態で説明した本発明の製造方法と、図6～図8を参照して説明した従来の製造方法によってそれぞれ試作した半導体装置における、イオン注入量としきい値電圧の関係を示す。従来の製造方法に比べて、本発明の製造方法が、イオン注入に対するしきい値電圧の傾きが約 $1/2$ に低減しており、製造ロット間のしきい値電圧ばらつきを $1/2$ 程度にする事が出来ることが確認され

た。

#### 【 0 0 2 2 】

図 5 に、本発明の製造方法と、従来の製造方法によってそれぞれ試作した半導体装置における、ウェハ面内のしきい値電圧ばらつきを示す。従来の製造方法に比べて、本発明の製造方法の方が、ウェハ面内のしきい値電圧ばらつきが約  $1/2$  に低減していることが確認された。

#### 【 0 0 2 3 】

なお、本発明の製造方法で製造された半導体装置における、前記 N 型領域の不純物濃度及び p n 接合深さがどの程度であるかは、分析サイズが小さいために解析は困難であったが、図 4 及び図 5 に示した特性において、しきい値電圧の傾き、及びしきい値電圧のばらつきがそれぞれ  $1/2$  になっていることから、砒素濃度に対する N 型領域 6 の不純物濃度のばらつきは、従来の製造方法のものに比較して  $1/2$  程度になっているものと推測される。

#### 【 0 0 2 4 】

また、前記実施形態での製造工程において、N 型領域 6 を形成する為の砒素不純物のイオン注入工程が P ウェル 5 を形成するための熱処理（ $1140^{\circ}\text{C}$ ，240 分）工程の前に行われているのは、P ウェル 5 を形成するための熱処理量がばらついたとき、N 型領域 6 の実効不純物濃度（砒素の不純物濃度から硼素の不純物濃度を引いた不純物濃度）のばらつきが少なくなるようにして、少しでも、デプレッション形ラテラル MOS FET のしきい値電圧ばらつきが小さくなるようにした為である。しかし、この熱処理量ばらつきに対するしきい値電圧ばらつきは、しきい値電圧ばらつき全体の 10 % 程度以下しかないので、ゲート電極 10 a を形成する工程の前に、N 型領域 6 を形成する為の砒素不純物のイオン注入を行えば、ほぼ同等の効果が得られる。

#### 【 0 0 2 5 】

さらに本発明は、縦型 MOS FET の構造がトレンチ構造の場合でも、適用が可能である。また、前記実施形態において、 $N^{+}$  型半導体基板 1 を逆導電型の  $P^{+}$  型半導体基板に変更すれば、縦型 MOS FET を IGBT（絶縁ゲート型バイポーラトランジスタ）にすることも可能であり、縦型 MOS FET に限定さ

れる発明ではない。なお、その他の構成において、本発明は前記実施形態に限定されず、本発明の技術思想の範囲内において、各構成は適宜変更され得ることは明らかである。

#### 【 0 0 2 6 】

##### 【発明の効果】

以上説明したように、本発明の半導体装置の製造方法によれば、デプレッション型ラテラルMOSFETのしきい値電圧調整用の不純物拡散層とウェルとで形成されるpn接合の深さを浅くする為の酸化膜を形成し、かつ当該酸化膜を除去する工程を含んでおり、本発明の半導体装置では、かかる酸化膜が除去されたことによるウェル表面の凹部が存在しているので、製造されるデプレッション型ラテラルMOSFETにおいては、pn接合部分の電荷中和が空乏層だけでは成立しなくなり、しきい値電圧がシフトする。そのため、そのシフト分だけ、しきい値電圧調整用の不純物拡散層の不純物濃度を高めることが出来、不純物濃度ばらつきに対するデプレッション形ラテラルMOSFETのしきい値電圧ばらつきが小さくなるという効果を有する

##### 【図面の簡単な説明】

##### 【図 1】

本発明の半導体装置の製造方法の一実施形態を工程順に示すチップ断面図のその1である。

##### 【図 2】

本発明の製造方法を工程順に示すチップ断面図のその2である。

##### 【図 3】

本発明の製造方法を工程順に示すチップ断面図のその3である。

##### 【図 4】

本発明と従来を試作結果を比較したイオン注入量としきい値電圧の関係を示す特性図である。

##### 【図 5】

本発明と従来を試作結果を比較したウェハ面内のしきい値電圧ばらつきを示す特性図である。

【図 6】

従来の半導体装置の製造工程の一例を工程順に示すチップ断面図のその 1 である。

【図 7】

従来の半導体装置の製造工程の一例を工程順に示すチップ断面図のその 2 である。

【図 8】

従来の半導体装置の製造工程の一例を工程順に示すチップ断面図のその 3 である。

【符号の説明】

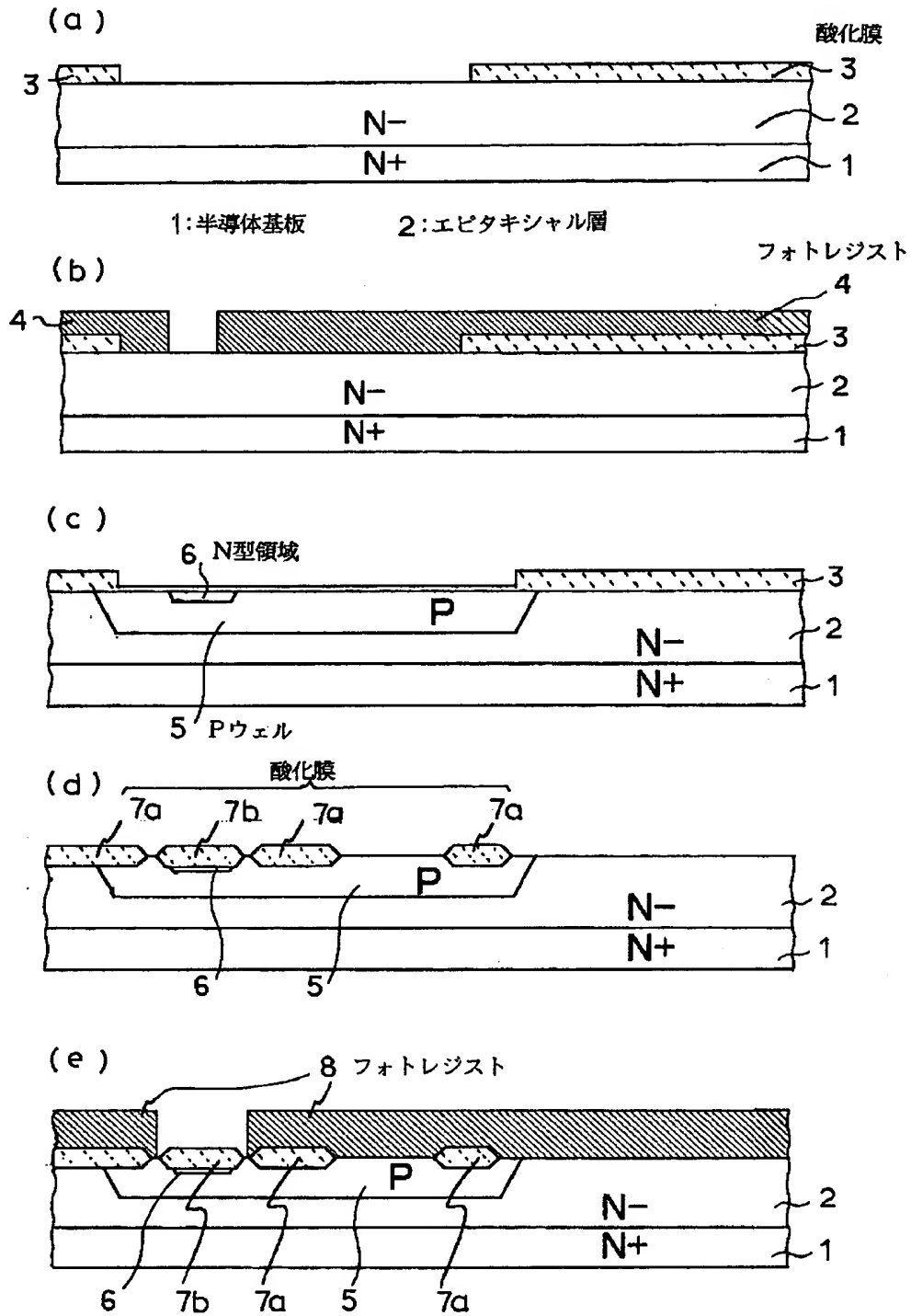
- 1  $N^+$  型半導体基板
- 2 エピタキシャル層
- 3 酸化膜
- 4 フォトレジスト
- 5 P ウェル
- 6 N 型領域
- 7 a, 7 b 酸化膜
- 8 フォトレジスト
- 9 a, 9 b, 9 c ゲート酸化膜
- 10 a, 10 b, 10 c ゲート電極
- 11 フォトレジスト
- 12 P 型領域
- 13 フォトレジスト
- 14  $P^+$  型領域
- 15 フォトレジスト
- 16 a, 16 b, 16 c, 16 d, 16 e  $N^+$  型領域
- 17 層間絶縁膜
- 18 フォトレジスト
- 19, 19 a, 19 b, 19 c, 19 d, 19 e アルミ電極



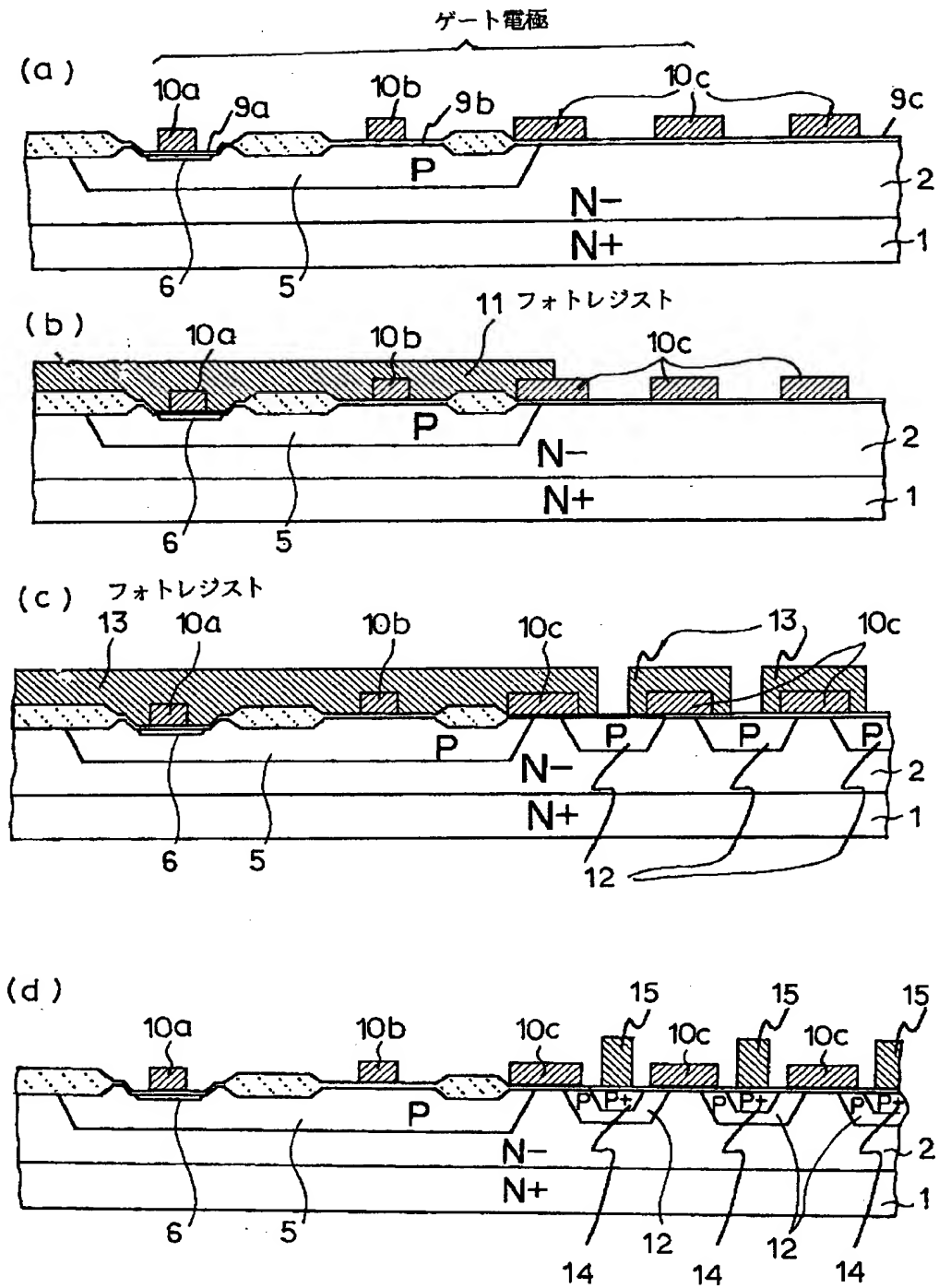
- 2 0 フォトレジスト
- 2 1 裏面電極
- 2 2  $N^+$  型半導体基板
- 2 3  $N^+$  型エピタキシャル層
- 2 4 酸化膜
- 2 5 P ウェル
- 2 6 酸化膜
- 2 7 フォトレジスト
- 2 8 N 型領域
- 2 9 a, 2 9 b, 2 9 c ゲート酸化膜
- 3 0 a, 3 0 b, 3 0 c ゲート電極
- 3 2 P 型領域
- 3 3 フォトレジスト
- 3 4  $P^+$  型領域
- 3 5 フォトレジスト
- 3 6 a, 3 6 b, 3 6 c, 3 6 d, 3 6 e  $N^+$  型領域
- 3 7 層間絶縁膜
- 3 8 フォトレジスト
- 3 9, 3 9 a, 1 9 b, 1 9 c, 1 9 d, 1 9 e アルミ電極
- 4 0 フォトレジスト
- 4 1 裏面電極

【書類名】 図面

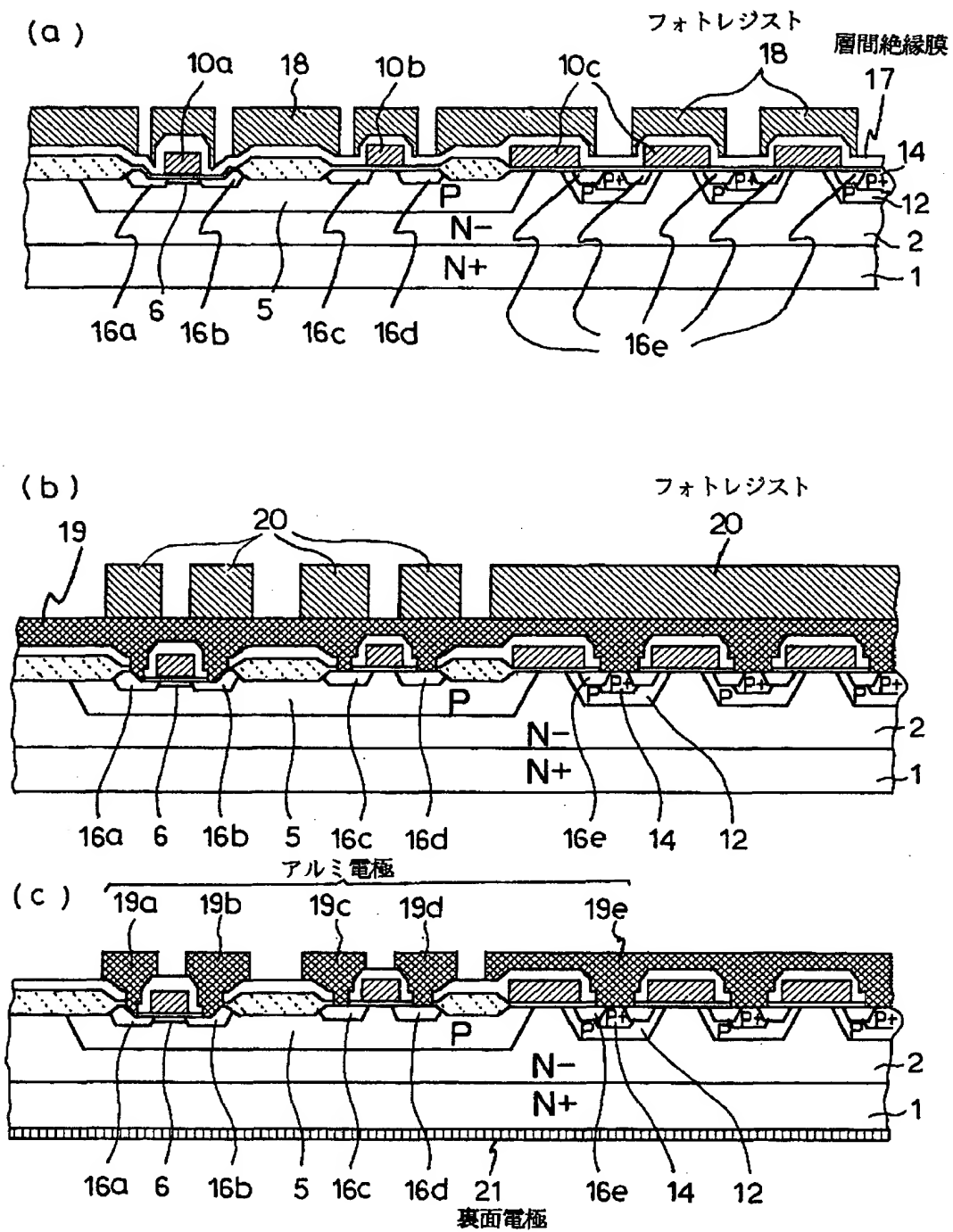
【図 1】



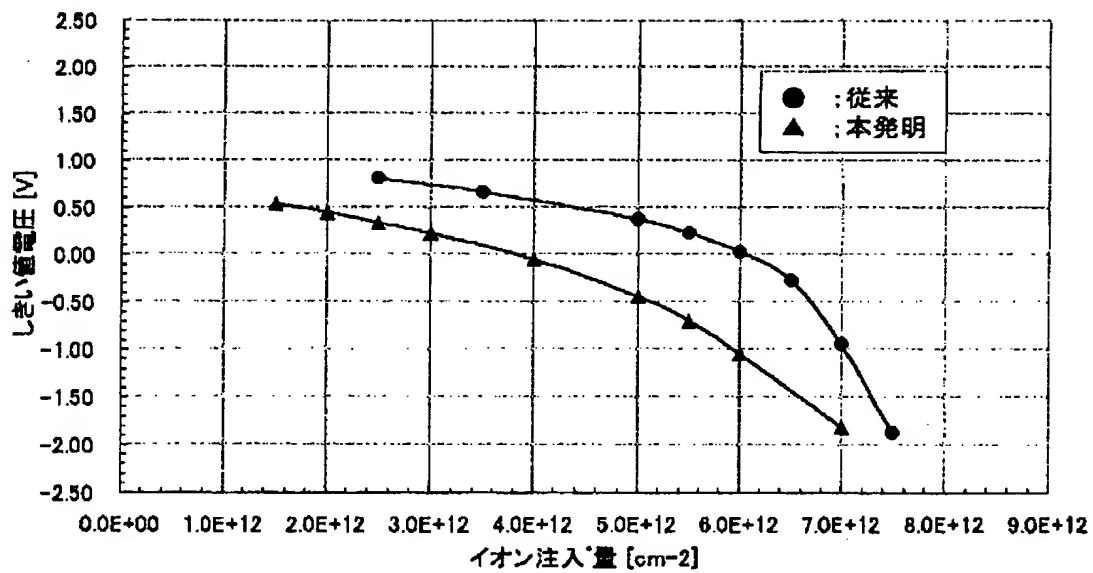
【図 2】



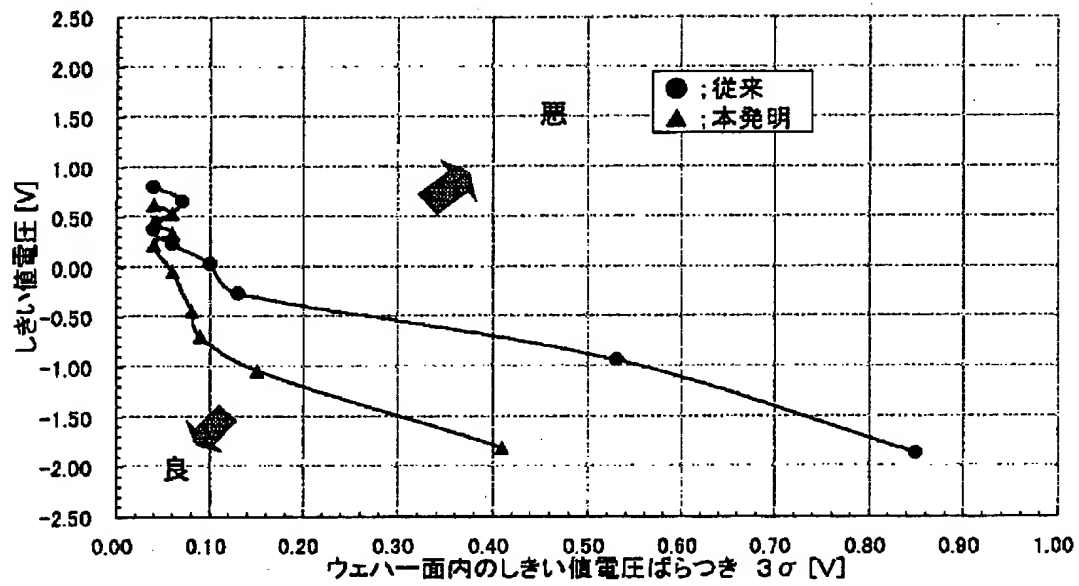
【図 3】



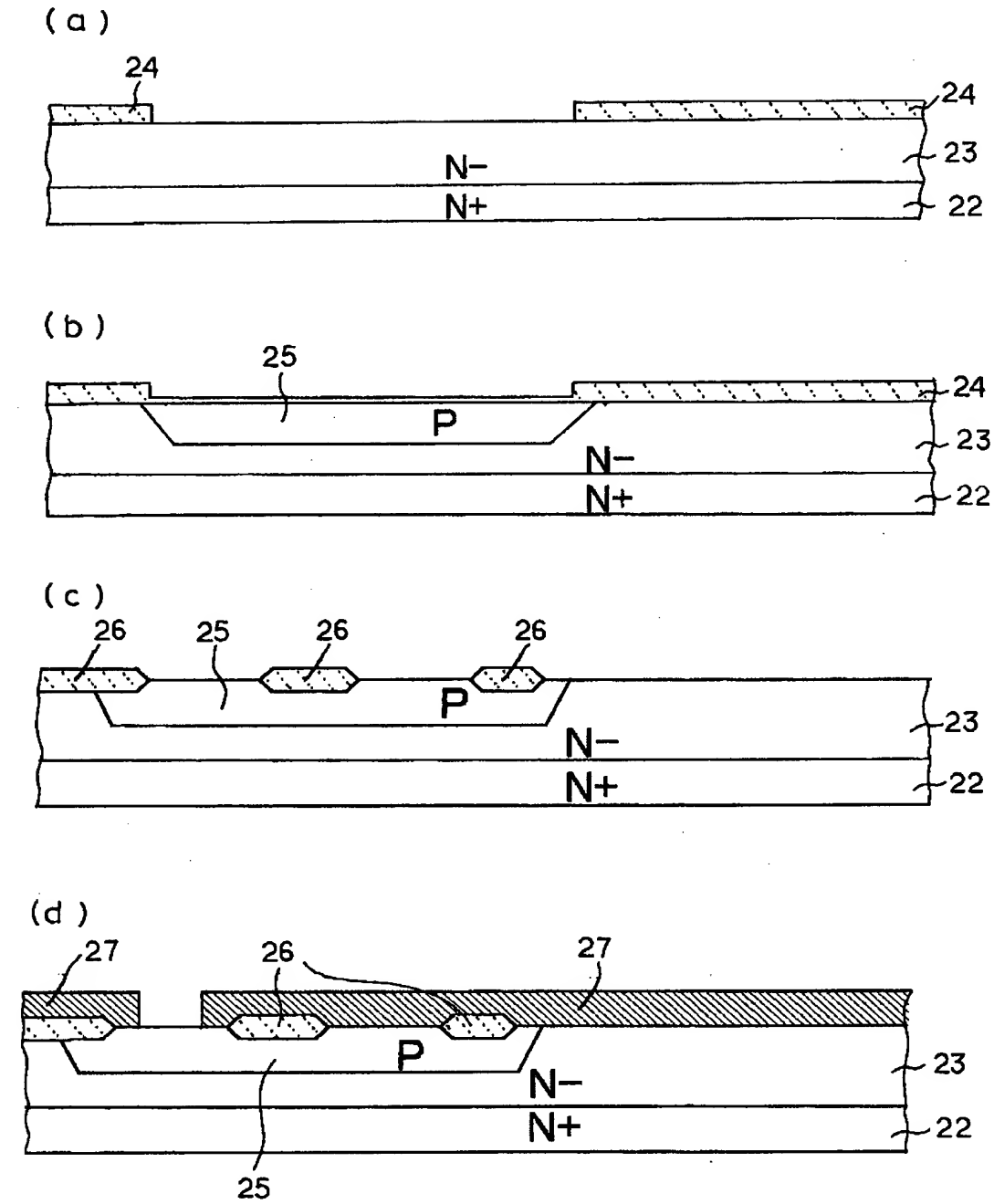
【図 4】



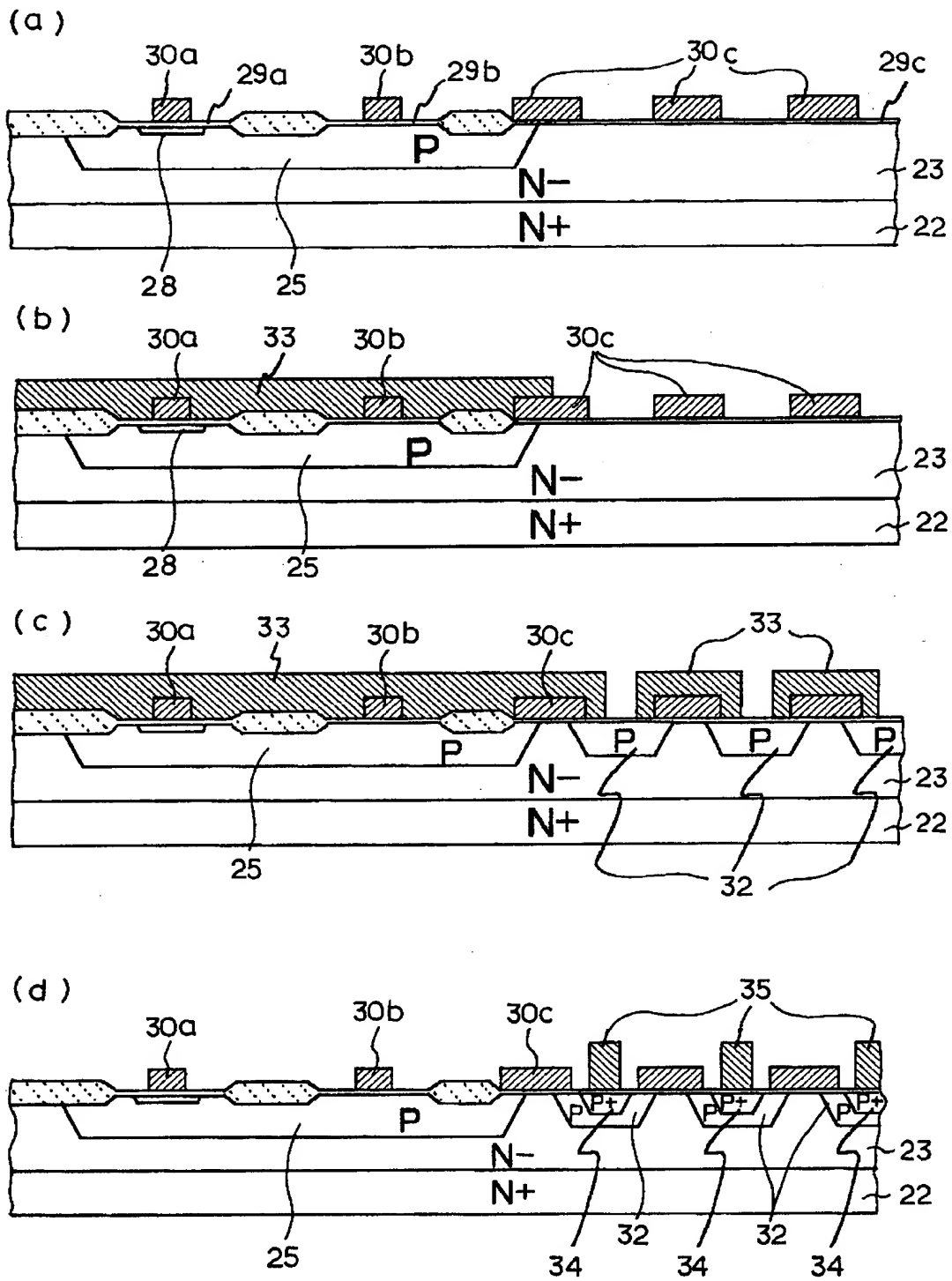
【図 5】



【図6】

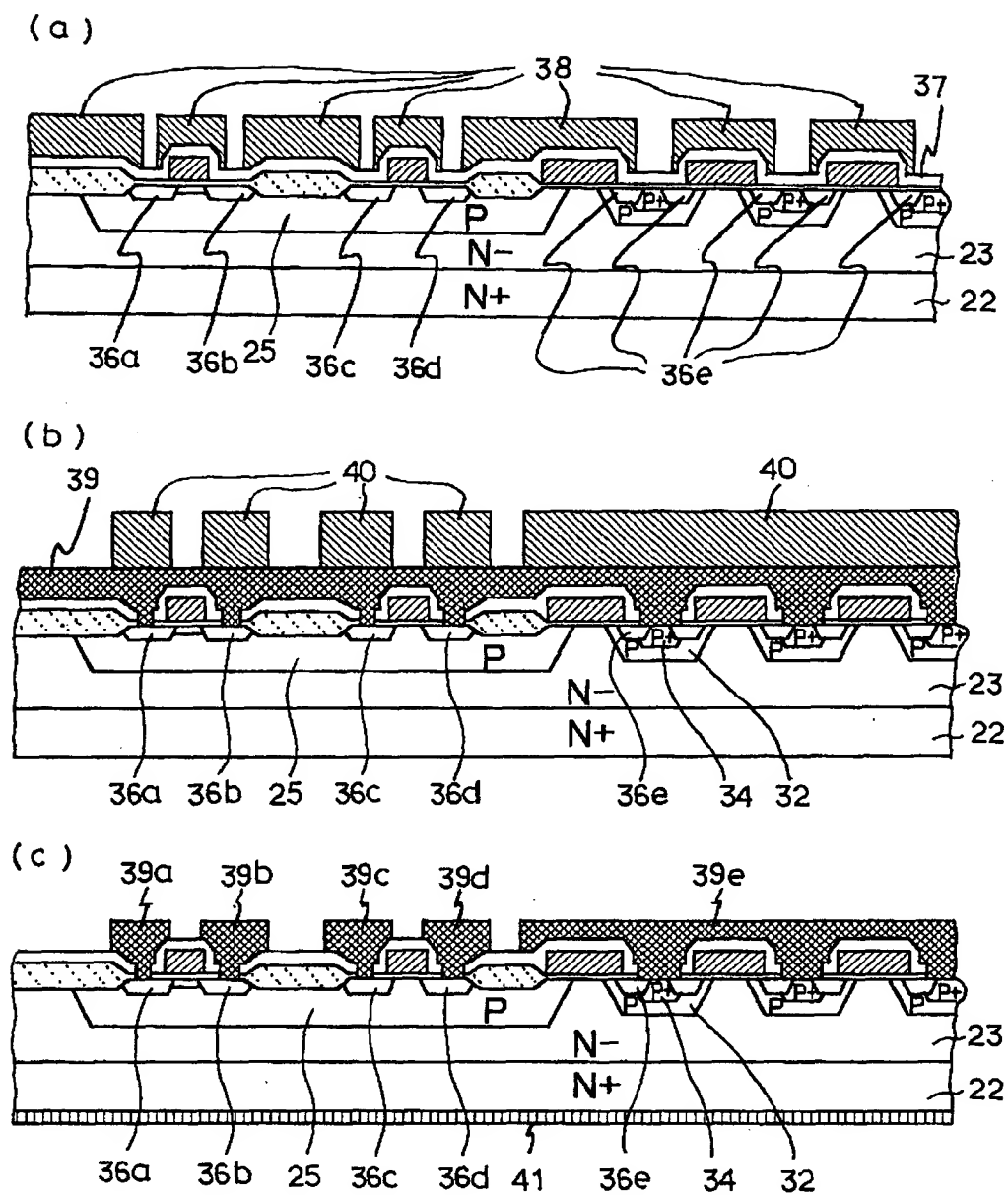


【図 7】





【図 8】



【書類名】 要約書

【要約】

【課題】 ウェル内に形成されたデプレッション型ラテラルMOSFETを有する半導体装置に関し、当該デプレッション型ラテラルMOSFETのしきい値電圧ばらつきの小さい半導体装置を提供する。

【解決手段】 N型半導体基板1にPウェル5を形成し、当該Pウェル5にデプレッション型ラテラルMOSFETのしきい値電圧を決めるためのN型不純物を導入してN型領域6を形成する。その上で、当該N型領域6の表面を酸化して酸化膜7bを形成する。この酸化により、Pウェル5とN型領域6で形成されるpn接合深さが浅くなる。その後、酸化膜7bを除去し、ゲート酸化膜、ゲート電極を形成する。pn接合深さが浅くなり、かつPウェル5の表面の不純物濃度が低くなることで、デプレッション型ラテラルMOSFETにおけるしきい値電圧のばらつきが減少する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社